

## 被 告 製 品 説 明 書

### 第 1 被告製品の製品番号・外観・構成等

#### 1 被告製品の概要

##### (1) 種類

被告製品は半導体記憶装置の一種であるNAND型フラッシュメモリである。

##### (2) 電源電圧

被告製品は外部から2.7V～3.6Vの電源を供給することにより動作する。

##### (3) 容量

被告製品は、記憶されるデータの容量によって、大きく、256Mビット品、512Mビット品、1Gビット品に区分される(甲3)。

なお、「ビット」とは情報の単位である。

「M」(メガ)は百万を意味し、「256Mビット」は約2億5600万ビット(厳密にはこれよりもやや多めの数)の、「512Mビット」は約5億1200万ビット(厳密にはこれよりもやや多めの数)の記憶容量を有することをそれぞれ示している。

また「G」(ギガ)は10億を意味し、したがって、「1G」は約10億ビット(厳密にはこれよりもやや多めの数)の記憶容量を有することを示している。

##### (4) データ幅

被告製品は、外部装置との間で、8ビットの単位でデータをやり

とりする。8ビットは「1バイト」と定義されるので、被告製品は、外部装置との間で、バイト単位でデータをやりとりする。

## 2 被告製品の製品番号

被告製品の製品番号は、HY27U(S/A)08(56/12/1G)1Mで表される。ここに、かっこ内の文字は以下のとおり、いずれか一つが選択される。

被告製品の製品番号は「HY27U」で始まる。

「U」の後には「S」又は「A」が引き続く。

「S」又は「A」の文字に「08」が引き続く。

容量が256Mビットのものは「56」が、512Mビットのものは「12」が、1Gビットのものは「1G」が「08」という文字列に引き続く。

さらに、「56」、「12」、「1G」といった文字の後に「1M」の文字が引き続く。

## 3 外観

被告製品は、半導体記憶装置の一種であるため、シリコンの単結晶基板表面に複数のトランジスタを集積形成して構成される半導体ペレットを主な構成要素とするが、この半導体ペレットのままでは取り扱いに不便なので、この半導体ペレットの全部又は一部を樹脂等で覆っている。また、外部装置と電氣的に接続することを容易にするため、端子をピン状に引き出し、またはハンダボールを露出させている。これらを半導体のパッケージといい、「TSOP1」、「WSOP」、「FBGA」などに区分される。被告製品は、「TSOP1」パッケージの形態をとって提供されている。

TSOP1の外観は、図1に示すとおり、半導体ペレットを内部に含む（外からは見えない）黒色の略長方形の樹脂と、この樹脂の短辺からそれぞれ24本ずつ突出したピンから構成されている。

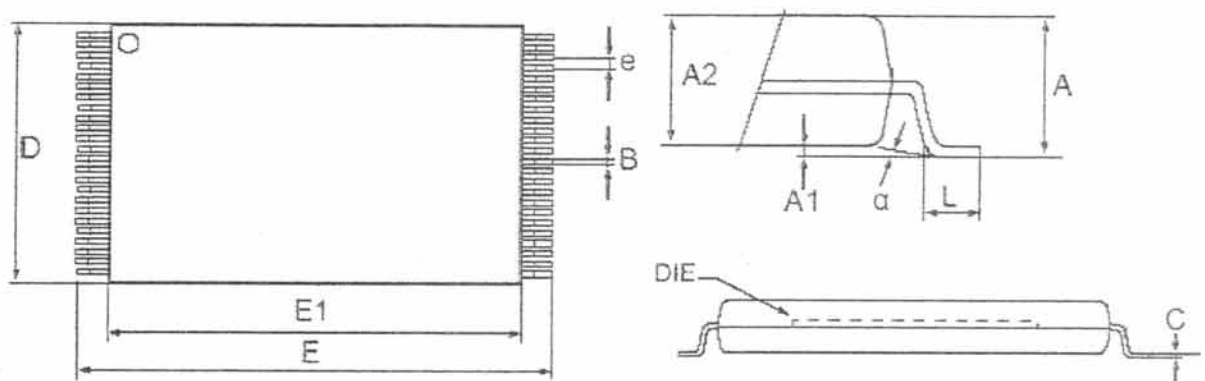


図1 TSOP1のパッケージで提供される被告製品の外観

図1中、Dは約12ミリメートル、Eは約20ミリメートル、E1は約18.4ミリメートルである。

被告製品の製品番号はこのパッケージの黒色樹脂の表面に白地で印刻されている。

## 第2 データの読み出しモード

### 1 被告製品の内部回路構成の概要

前述したとおり、被告製品はNAND型フラッシュメモリという半導体記憶装置であり、シリコンの単結晶基板に数多くのMOSトランジスタを集積して形成することにより、回路を構成し、これら回路が所定の動作をするように設計されている。

被告製品の回路は、幾つかの機能ブロックに区分され、これらがデ

ータ・アドレス信号・各種制御信号等をやりとりすることにより目的の動作を実現している。

図2に被告製品の回路を機能ブロックにて表現した図を示す。

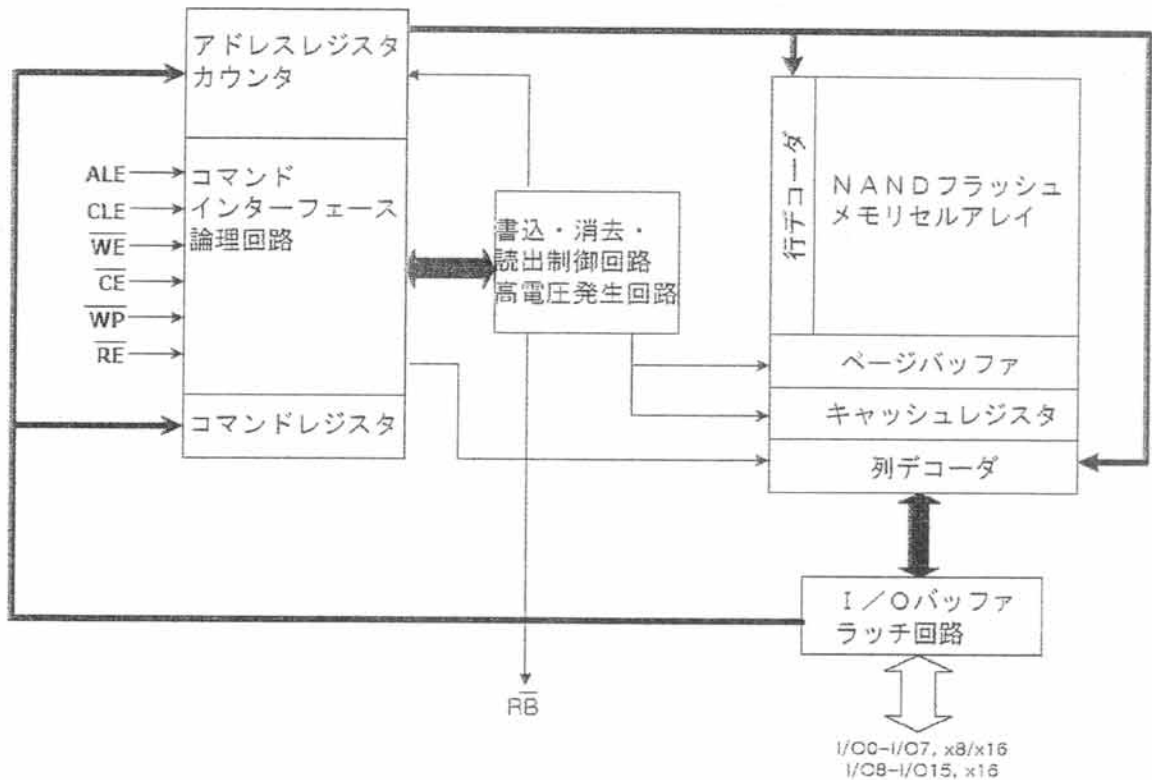


図2 被告製品の回路を機能ブロックにて表現した図

図2に示すとおり、被告製品の回路は、①I/Oバッファ・ラッチ回路、②アドレスレジスタ・カウンタ、③コマンドインターフェース論理回路、④コマンドレジスタ、⑤書込・消去・読出制御回路・高電圧発生回路、⑥NANDフラッシュメモリセルアレイ、⑦行デコーダ、⑧ページバッファ、⑨キャッシュレジスタ、⑩列デコーダ等のブロックから構成される。

#### (1) I/Oバッファ・ラッチ回路

I/Oバッファ・ラッチ回路は、外部からI/Oピン（端子）に入力されるコマンド（被告製品を外部から制御するための命令に相当する。）やアドレス（メモリセルアレイ内のメモリセルの位置を特定するための情報で、住所に相当する。）、書き込まれるべきデータを被告製品内に取り込むという動作をする。また、I/Oバッファ・ラッチ回路は、データ（メモリセルアレイに記憶され、読み出されたデータ）を外部に出力するという動作をする。

#### (2) アドレスレジスタ・カウンタ

アドレスレジスタ・カウンタは、取り込んだアドレスを保持し（「レジスタ」とは、情報を保持する回路をいう。）、後述するように、連続したアドレス（・・・100, 101, 102・・・といった具合に）に対応するデータを順次出力するためのアドレスのカウンタアップ（一つずつアドレスを増加すること）を行う。

#### (3) コマンドインターフェース論理回路

コマンドインターフェース論理回路は、コマンドを外部から取り込むタイミング信号であるALE信号等を受信する動作を行う。

#### (4) コマンドレジスタ

コマンドレジスタは、I/Oバッファ・ラッチ回路によって取り込まれたコマンドを、コマンドインターフェース論理回路の指示するタイミングに応じて、保持する動作を行う。

(5) 書込・消去・読出制御回路，高電圧発生回路

書込・消去・読出制御回路は，コマンドが「リード・コマンド」の場合には読出動作を，コマンドが「ページ・プログラム・コマンド」の場合には書込動作を，コマンドが「ブロック・イレーズ・コマンド」の場合には消去動作を行うよう，被告装置の各内部回路に制御信号を送る動作を行う。

(6) NANDフラッシュメモリセルアレイ

NANDフラッシュメモリセルアレイは，第2で述べたフローティングゲートを有するメモリセルを直列接続（NAND接続）したうえで，行列状に並べたものであり，情報の記憶を司る。

被告製品のうち256Mビット品は，65536行，512Mビット品は131072行，1Gビット品は262144行である。

NANDフラッシュメモリセルアレイのうち1行分の情報を「ページ」という。

被告製品は，32ページを一つのブロックと定義している。したがって，256Mビット品は32ページ×2048ブロックの，512Mビット品は32ページ×4096ブロックの，1Gビット品は32ページ×8192ブロックの行構成を採用している。

(7) 行デコーダ

行デコーダは，アドレスレジスタ・カウンタから送られるアドレス信号のうち「行アドレス」（アドレス信号は，行アドレスと列アドレスに二分され，前者はメモリセルアレイの行を選択し，後者はメモリセルアレイの列を選択する。）によって，NANDフラッシュメモリセルアレイのうち行を選択する（したがって，ページが選択さ

れる。)

#### (8) ページバッファ

ページバッファは、NANDフラッシュメモリセルアレイから読み出された1行分のデータ(1ページ分のデータ)一時的に保持する動作をする。

#### (9) キャッシュレジスタ

キャッシュレジスタとの間でデータをやりとりすることの可能な、ページバッファと同じ容量(1行分ないし1ページ分)のデータを保持することのできるレジスタである。

#### (10) 列デコーダ

列デコーダは、アドレスレジスタ・カウンタから送られるアドレス信号のうち「列アドレス」(前述したように、アドレス信号は、行アドレスと列アドレスに二分され、前者はメモリセルアレイの行を選択し、後者はメモリセルアレイの列を選択する。)によって、NANDフラッシュメモリセルアレイのうち列を選択する機能を有する(但し、NANDフラッシュメモリセルアレイから読み出された1ページ分のデータは、いったん、ページバッファに格納され、そこからI/Oバッファ・レジスタ回路を介して外部に出力されるため、列アドレスは厳密にはページバッファの列を選択するアドレスであり、また、列デコーダはページバッファの列を選択する機能を有する。)

## 2 被告製品のデータ格納方式

被告製品のNANDフラッシュメモリセルアレイは、行方向に複数のブロック及びページ(1ブロックに32ページ)が配列されている。一つのページは、列方向に512バイト(256ワード)分の容量を有する本体メモリセル列と、16バイト(8ワード)分の容量を有する「冗長メモリセル列」とから構成されている。なお、「冗長メモリセル列」とは、本体メモリセル列中のメモリセルに欠陥があった場合、このメモリセルを置き換える等の用途に用いることが予定されたメモリセル列である。被告製品の1ブロック(32ページ)内におけるデータ格納方式を図3に示す。

ページ番号	列アドレス:0~511(255)	列アドレス:512(256)~527(263)
1	本体メモリセル列	冗長メモリセル列
2	本体メモリセル列	冗長メモリセル列
3	本体メモリセル列	冗長メモリセル列
4	本体メモリセル列	冗長メモリセル列
● ● ●	● ● ●	● ● ●
32	本体メモリセル列	冗長メモリセル列

図3 被告製品の1ブロック内におけるデータ格納方式

### 3 被告製品のデータ読み出しモード

#### (1) 概要



外部からのリード・コマンドを受けて被告製品が内部に格納されたデータを読み出すには、外部から①リード・コマンド、②開始行アドレス、③開始列アドレスを供給される必要がある。

被告製品内において、アドレスレジスタ・カウンタは開始行アドレスを格納し、これを行デコーダに供給する。行デコーダは開始行アドレスに対応するページを選択する。

行デコーダによって選択されたメモリセルアレイの特定ページのデータは、各列毎に、同時に、ページバッファに一括転送される。このページバッファによって、ページデータが一時的に格納される。

さらに、アドレスレジスタ・カウンタは開始列アドレスを格納し、これを列デコーダに供給する。アドレスカウンタ・レジスタは、列アドレスを、開始列アドレスからスタートして、順次自動的にカウントアップする。このようにカウントアップされた列アドレスも列デコーダに供給される。

ページバッファに一時的に格納されていたページデータは、列デコーダによる選択によって、I/Oバッファ・レジスタ回路を介して外部に出力される

列アドレスのカウントアップが上限である527（データ幅が8ビットの場合）又は263（データ幅が16ビットの場合）に至ったときは、次の行（ページ）が自動的に選択される。この動作はアドレスレジスタ・カウンタによって行われる。その際、列アドレスは次ページのゼロからスタートするか、もしくは、512（256）からスタートするかによって、「リードAモード」と「リードCモード」2つの読み出しモードがある（被告製品の一部には「リードBモード」を具備するものもあるが、以下、リードAモードとリードCモードに焦点をあてて説明する。）。

## (2) リードAモード

リードAモードは、1ページの最終列まで読み出した後、次に移行する列アドレスは、次ページのゼロ(0)列であるような読み出しモードである。

被告製品においては、リード・コマンドとして、「00」(16進数表示、二進数では「00000000」のコマンドビット列、なお、ビット列表示においては1は電源電圧、0は0Vに対応する。)を供給した場合に、リードAモードで動作する。

このようなモードの動作は、前述したように、アドレスレジスタ・カウンタ、行デコーダ及び列デコーダによって実現される。

このリードAモードの読み出し動作を図4に図示する。

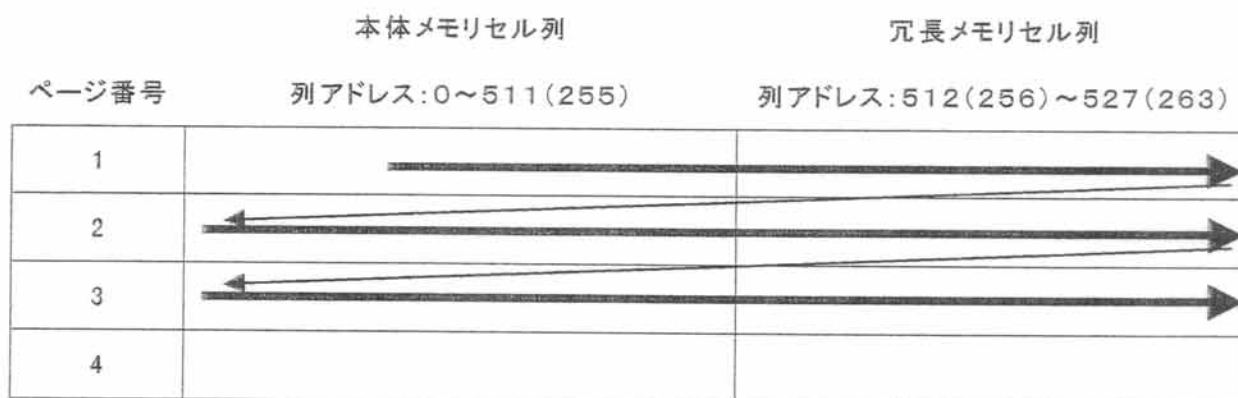


図4 被告製品のリードAモード

## (3) リードCモード

リードCモードは、1ページの最終列まで読み出した後、次に移行する列アドレスが、次ページの512列(データ幅が8ビットの製品の場合)又は256列(データ幅が16ビットの製品の場合)

であるような読み出しモードである。

被告製品においては、リード・コマンドとして、「50」（16進数表示、二進数では「01100000」のコマンドビット列）を供給した場合に、リードCモードで動作する。

このような各モードの動作は、前述したように、アドレスレジスタ・カウンタ、行デコーダ及び列デコーダによって実現される。

このリードCモードの読み出し動作を図5に図示する。

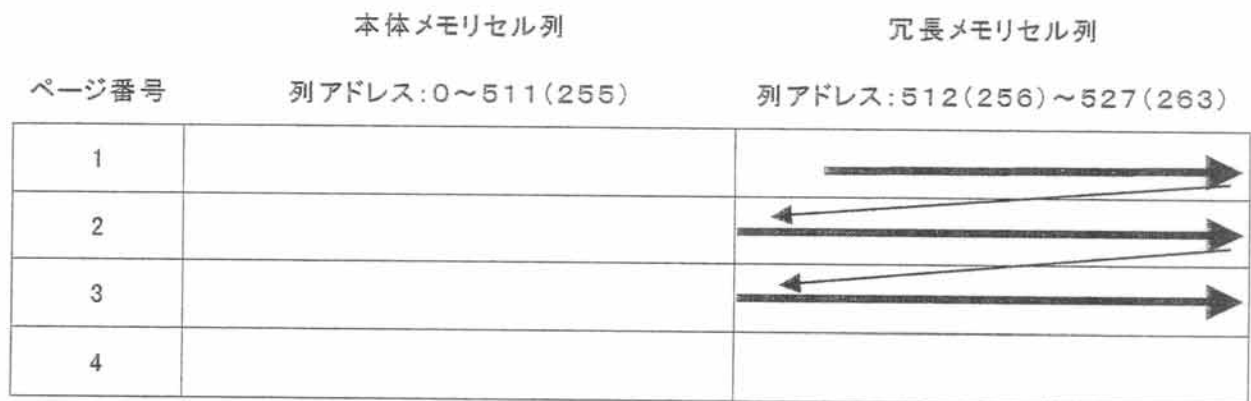


図5 被告製品のCモード

リードAモードとリードCモード」とを併せて「シーケンシャルリードモード」という（シーケンシャルとは「順次」という意味である。）。

#### 4 被告製品の読み出しモードの特徴

上記3で述べた被告製品の読み出しモード部分を実現する構造の特徴を再説すると以下のとおりとなる。すなわち、被告製品は、

- a 行列状に配列された複数のメモリセルと
- b 各列に対してデータを一時的に格納するページバッファ

とを有し、

- c このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し、このページバッファ内のデータを順次外部に出力するシーケンシャルリードモード
- d を備える半導体記憶装置において、
- e 選択された行の最終列まで読み出されると、次の行に切り換わり、列アドレスが0の位置から順次このページバッファの内容が外部に出力されるリードAモードと、
- f 選択された行が切り換わると列アドレスが5 1 2又は2 5 6の位置から順次このページバッファの内容が外部に出力されるリードCモードと
- g を具備することを特徴とする半導体記憶装置

である。

また、被告製品は、

- h 行列状に配列された複数のメモリセルと
- i 各列に対してデータを一時的に格納するページバッファとを有し、
- j このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し、このページバッファ内のデータを順次外部に出力するシーケンシャルリードモード
- k を備える半導体記憶装置において、
- l リードAモードでは選択された行が切り換わると列アドレスが0の位置から順次このページバッファの内容を外部に出力し、リードCモードでは選択された行が切り換わ

ると列アドレスが 5 1 2 又は 2 5 6 の位置から順次このページバッファの内容を外部に出力するアドレスレジスタ・カウンタ，行デコーダ及び列デコーダ

m を具備することを特徴とする半導体記憶装置である。

また，被告製品は，

n 行列状に配列された複数のメモリセルと

o 各列に対してデータを一時的に格納するページバッファとを有し，

p このメモリセルのうちの選択した行に並ぶページデータをこのページバッファに格納し，このページバッファ内のデータを順次外部に出力するシーケンシャルリードモード

q を備える半導体記憶装置において，

r この半導体記憶装置をリードAモードに切り換えて，列アドレスが 0 の位置から順次ページバッファの内容を読み出し，半導体記憶装置をリードCモードに切り換えて，列アドレスが 5 1 2 又は 2 5 6 の位置以降に記憶された冗長メモリセルのデータを順次連続して読み出すアドレスレジスタ・カウンタ，行デコーダ及び列デコーダと

s を具備することを特徴とする半導体記憶装置。

である。

### 3 被告製品のデータ読み出しモードによる効果

被告製品の構成により，ページ内の列アドレスが 0 の位置からそのページの最終アドレスまでのデータを連続したページについて読み

出せる（リードAモード）とともに、ページ内の列アドレスが512又は256の位置以降に記憶された冗長メモリセルのデータからそのページの最終アドレスまでのデータを連続したページについて読み出すことが可能である（リードCモード）。このためデータ構造が本体データと冗長データの和の形となっているデータの集合を記憶する場合に、本体データと冗長データの和のデータ集合を連続して読み出せるとともに、冗長データのみを連続して読み出すことも可能となり、半導体記憶装置を用いたシステムの効率を向上させることができる。

以上